

CLIPPEDIMAGE= JP363065679A

PAT-NO: JP363065679A

DOCUMENT-IDENTIFIER: JP 63065679 A

TITLE: INTEGRATED SEMICONDUCTOR PRESSURE SENSOR

PUBN-DATE: March 24, 1988

INVENTOR-INFORMATION:

NAME

ABE, ARIMASA

AOI, AKIHIRO

ASSIGNEE-INFORMATION:

NAME

OMRON TATEISI ELECTRONICS CO

COUNTRY

N/A

APPL-NO: JP61210023

APPL-DATE: September 5, 1986

INT-CL (IPC): H01L029/84

US-CL-CURRENT: 257/419

ABSTRACT:

PURPOSE: To obtain a semiconductor pressure sensor having a prescribed dia  
phragm thickness by anisotropy etching a center part of the first conductivity  
type single crystal silicon substrate in the proximity of the first  
semiconductor layer belonging to the first conductivity type and simultaneously  
isotropy etching a residual part of a signal crystal silicon substrate.

CONSTITUTION: Diffused resistors R1 and R3 that are not shown in Fig. are  
formed in the center of a diaphragm part from an upper part of an N-type  
epitaxial layer 15 and the diffused resistors R2 and R4 are formed to the

vicinity of its diaphragm. And P<SP>+</SP> type  
separative diffused layers 16  
are formed to the vicinity of the diaphragm and then an  
operational amplifier  
17 that is composed of passive elements as well as  
active elements of  
prescribed transistors or resistors and the like is  
constructed between an  
N-type buried layer 14 and the above diffused layer 16 to  
form an integrated  
circuit, through which voltages of both ends of a bridge  
circuit are amplified.  
Subsequently, an anisotropy etching treatment is carried  
out from a lower part  
of a substrate 11 with potassium hydroxide, that is, an  
alkali solution or  
sodium hydroxide and an isotropy etching treatment is  
also carried out with an  
acid etching solution. This approach helps control  
correctly the thickness of  
the diaphragm.

COPYRIGHT: (C)1988, JPO&Japio

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

⑫ 公開特許公報(A)

昭63-65679

⑬ Int.Cl.<sup>4</sup>  
H 01 L 29/84

識別記号 庁内整理番号  
B-6819-5F

⑭ 公開 昭和63年(1988)3月24日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 集積化半導体圧力センサ

⑯ 特 願 昭61-210023

⑰ 出 願 昭61(1986)9月5日

⑱ 発 明 者 安 部 有 正 京都府京都市右京区花園土堂町10番地 立石電機株式会社  
内

⑲ 発 明 者 青 井 昭 博 京都府京都市右京区花園土堂町10番地 立石電機株式会社  
内

⑳ 出 願 人 立石電機株式会社 京都府京都市右京区花園土堂町10番地

㉑ 代 理 人 弁理士 岡本 宜喜 外1名

明 細 書

1. 発明の名称

集積化半導体圧力センサ

2. 特許請求の範囲

(1) エッチング可能な所定範囲の導電率を有する第1のタイプの導電型の単結晶シリコン基板上に形成され、所定厚さを有し該シリコン基板より高く等方性エッチングが不可能な導電率を有する第1のタイプの導電型の第1の半導体層と、

前記第1の半導体層の上面に形成された所定の厚さを有する第2のタイプの導電型の第2の半導体層と、

前記シリコン基板の下方より前記第1の半導体層の接合面の間近まで異方性エッチングを行いその残部を等方性エッチングすることによって形成された第1、第2の半導体層から成るダイヤフラムと、

前記第2の半導体層のダイヤフラム部に形成された抵抗と、前記ダイヤフラムの周辺に形成され前記抵抗の電圧変化を増幅する増幅器を含む集積

化回路と、を有することを特徴とする集積化半導体圧力センサ。

(2) 前記第1のタイプの導電型半導体はP型半導体であり、第2のタイプの導電型半導体はN型半導体であることを特徴とする特許請求の範囲第1項記載の集積化半導体圧力センサ。

(3) 前記単結晶シリコン基板は抵抗率が $0.0028\Omega\cdot\text{cm}\sim 0.015\Omega\cdot\text{cm}$ の導電率を有するものであり、その上部に形成される第1の半導体層は抵抗率が $0.068\Omega\cdot\text{cm}$ 以上の抵抗率を有するものであることを特徴とする特許請求の範囲第2項記載の集積化半導体圧力センサ。

3. 発明の詳細な説明

(発明の分野)

本発明はシリコンダイヤフラム上に抵抗を形成し周辺の肉厚部に演算増幅器等の集積回路を構成した集積化半導体圧力センサに関するものである。

(発明の概要)

本発明による半導体圧力センサは、高濃度の半導体ウエハ上に第1のタイプの導電型の第1の半

導電層を成長させその上部に更に第2のタイプの導電型の第2の半導体層を成長させて構成した集積化半導体圧力センサであって、第1のタイプの導電型の単結晶シリコン基板の中央部を第1のタイプの導電型の第1の半導体層の間近まで異方性エッチングによってエッチングすると共に、単結晶シリコン基板の残部を等方性エッチングによってエッチングすることによって所定のダイヤフラムの厚さを有する半導体圧力センサを構成したものである。

(従来技術とその問題点)

(従来技術)

シリコンダイヤフラム型半導体圧力センサは、例えば第5図に示すようにP型サブストレート1の上部にN型エピタキシャル層2を形成し、P型サブストレートの中央をエッチングしてダイヤフラムを形成している。そしてダイヤフラムの中央部及び周辺に4個の拡散抵抗を形成し各抵抗を接続してブリッジ回路とし、ダイヤフラムに加わる圧力変化をブリッジ回路の両端の電圧変化に変換

することによってダイヤフラムに加わる圧力を測定するようにしている。そしてダイヤフラムの周辺部にブリッジ回路の両端の電圧変化を増幅する増幅器を形成している。このような増幅器はP型サブストレートの上部にN型埋込み層3とその周囲を覆うP<sup>+</sup>型分離拡散層4によって覆われたトランジスタ等によって構成される。このような半導体圧力センサにおいては、感度はダイヤフラム部の厚みの二乗に反比例するため、感度特性を均一化するためにダイヤフラムの厚さを十分に薄く高精度に形成することが必要である。

しかるにシリコンウエハは製造上例えば $\pm 4 \mu\text{m}$ 程度のばらつきを生じ、又シリコンダイヤフラムをエッチングによって形成する場合にもエッチング液の温度や拡散状態、エッチング液の組成変化等によって例えば $\pm 4 \mu\text{m}$ 程度のばらつきを生じる。従って十分な感度を得るためにダイヤフラム厚を薄く例えば $30 \mu\text{m}$ に設定しておいても、製造工程のばらつきによりその厚さを均一化することが困難であり、例えば第4図の破線A又はBに示

すように感度が高すぎたり低すぎる半導体圧力センサとなることがあり、製品の歩留まりが悪いという欠点があった。

そこでダイヤフラムの厚さを均一化するために特開昭53-42597号には、第6図に示すようにP型シリコンサブストレート5上に高濃度のP<sup>+</sup>型ボロン層6(不純物濃度 $5 \times 10^{19}$ 個/cm<sup>3</sup>以上)を形成し、その上部にN型エピタキシャル層7を成長させて拡散抵抗を形成し、P<sup>+</sup>型ボロン層6まで下方より異方性エッチングを行うことによりダイヤフラムの厚さを均一化するようにした技術が提案されている。

(発明が解決しようとする問題点)

しかるにこのような従来の方法によってシリコンダイヤフラムの厚さを制御する場合には、N型エピタキシャル層7の下部のP<sup>+</sup>型ボロン層6の不純物濃度は高いため、その抵抗率 $\rho$ は $0.028 \Omega \cdot \text{cm}$ 以下となって $\rho$ の値が極めて低くなる。従って第5図に示すようにダイヤフラムの周辺に演算増幅器を構成する場合には、N型埋込み層3にはそ

れを補償する高濃度拡散が必要となって結晶欠陥を生じる恐れがあるという問題点がある。又シリコンダイヤフラムの周辺に集積回路を形成する場合には、トランジスタ等の各能動素子を電氣的に分離するため、N型エピタキシャル層2とその下のP型サブストレート1との間に逆バイアスを印加するが、P型サブストレート1の抵抗率が低ければ接合の耐圧が低くなる。このため特開昭53-42597号に示された方法では、シリコンダイヤフラムの周辺に抵抗ブリッジの出力を増幅する増幅回路や温度補償回路等の回路を組込んで集積化半導体圧力センサを構成することができないという問題点があった。

(発明の目的)

本発明はこのような従来の半導体圧力センサの問題点に鑑みてなされたものであって、ダイヤフラムの厚さを均一にすると共にダイヤフラムの周辺に増幅回路等の回路を実装して構成するようにすることを技術的課題とする。

(発明の構成と効果)

Fig 6

## (問題点を解決するための手段)

本発明はシリコンダイアフラム上に抵抗を形成し周辺の肉厚部に演算増幅器等の集積回路を構成した集積化半導体圧力センサであって、第1図に示すように、エッチング可能な所定範囲の導電率を有する第1のタイプの導電型の単結晶シリコン基板上に形成され、所定厚さを有し該シリコン基板より高く等方性エッチングが不可能な導電率を有する第1のタイプの導電型の第1の半導体層と、第1の半導体層の上面に形成された所定の厚さを有する第2のタイプの導電型の第2の半導体層と、シリコン基板の下方より第1の半導体層の接合面の間近まで異方性エッチングを行いその残部を等方性エッチングすることによって形成された第1、第2の半導体層から成るダイアフラムと、第2の半導体層のダイアフラム部に形成された抵抗と、ダイアフラムの周辺に形成され抵抗の電圧変化を増幅する増幅器を含む集積化回路と、を有することを特徴とするものである。

## (作用)

又単結晶シリコン基板の残部を等方性エッチングによりエッチングしているため、シャープな形状のダイアフラムエッジ部に対して湾曲させることが可能となり、圧力印加時の応力集中が緩和され破壊しにくい半導体圧力センサとすることができる。更に第2のタイプの導電型の第2の半導体層の下部には比較的高い抵抗率を有する第1の半導体層が形成されているため、ダイアフラムの周辺に演算増幅器等の集積回路を構成して充分な耐圧を有する半導体を構成することができる。又第2のタイプの導電型の埋込み層にはあまり高濃度の拡散が不要となるため結晶欠陥を生じることがなく、歩留まりの高い集積化半導体圧力センサを構成することが可能である。

## (実施例の説明)

第1図は本発明の一実施例による集積化半導体圧力センサの製造工程を示す図である。本図においてまずシリコンウエハとして比較高濃度のP型不純物を有する単結晶シリコン基板を用いて第1図(a)に示すようにサブストレータ11とする。そ

このような特徴を有する本発明によれば、単結晶シリコン基板を異方性エッチングができる所定範囲の第1のタイプの導電型の半導体とし、その上部に所定厚さの第1のタイプの導電型の第1の半導体層を成長させると共に、更にその上部に第2のタイプの導電型の第2の半導体層を成長させている。そして単結晶シリコン基板を第1のタイプの導電型の第1の半導体層のすぐ下の領域まで異方性エッチングによってエッチングすると共に、残りの単結晶シリコン基板を等方性エッチングによってエッチングしてダイアフラムを形成するようにしている。等方性エッチングによりエッチングする際にはその上部の第1の半導体層によってエッチングが自動的に停止する。

## (発明の効果)

そのため本発明によれば、単結晶シリコン基板の上部に成長させる第1、第2の半導体層の厚さを所定値としておくことによって、ダイアフラムの厚さをシリコンウエハやエッチング液の状態にかかわらず極めて高精度に規定することができる。

してその下面には酸化膜 $\text{SiO}_2$ を形成する。サブストレータ11は異方性及び等方性エッチングが可能な範囲の抵抗率、即ち抵抗率 $\rho$ が $0.0028 \Omega \cdot \text{cm} \sim 0.015 \Omega \cdot \text{cm}$ のもの（不純物濃度 $8 \times 10^{18} \sim 5 \times 10^{19}$ 個/ $\text{cm}^3$ ）を用いる。そしてこのP型サブストレータ11の上面に第1図(b)に示すようにP型エピタキシャル層13を成長させる。P型エピタキシャル層13の厚さをあらかじめ所定の厚さ、例えば $20 \pm 1.5 \mu\text{m}$ となるように成長させるものとする。P型エピタキシャル層13は等方性エッチングが不可能な抵抗率、即ち抵抗率 $\rho$ が $0.068 \Omega \cdot \text{cm}$ 以上（不純物濃度 $9 \times 10^{17}$ 個/ $\text{cm}^3$ 以下）とし、例えば $10 \Omega \cdot \text{cm}$ （不純物濃度は $1 \times 10^{18}$ 個/ $\text{cm}^3$ ）を有するものとする。そして第1図(c)に示すようにエピタキシャル成長層13の上部にN型埋込み層14を形成し、更にその上部にN型のエピタキシャル層15を全面に渡って成長させる。ここでN型エピタキシャル層15の厚さをあらかじめ所定の厚さ、例えば $10 \pm 1 \mu\text{m}$ となるように成長させるものとする。そしてサブスト

レート11下部の酸化膜12を第1図(e)に示すようにダイヤフラムを形成する中心部のみを切欠いて選択的エッチングするエッチングマスク12a, 12bとする。

その後第1図(e)に示すようにN型エピタキシャル層15の上部よりダイヤフラム部の中央に図示しない拡散抵抗R1, R3、ダイヤフラムの周辺に拡散抵抗R2, R4を形成する。そしてダイヤフラム部の周辺にP<sup>+</sup>型分離拡散層16を形成し、N型埋込み層14との間に所定のトランジスタや抵抗等の受動素子及び能動素子から成る演算増幅器17を構成してブリッジ回路の両端の電圧を増幅する集積回路を形成する。

次いでサブストレート11の下方よりアルカリ溶液である水酸化カリウム(KOH)又は水酸化ナトリウム(NaOH)を用いて異方性エッチングを行う。異方性エッチングは第1図(e)に示すようにわずかにサブストレート11が残る厚さ $t_2$ 、例えば前述した例ではN型エピタキシャル層15の上面より35 $\mu$ の厚さになるまで異方性エッチン

グを行うものとする。そして第1図(f)に示すように酸性エッチング液を用いて等方性エッチングを行う。このエッチング液は例えば弗化水素(HF)、酢酸(CH<sub>3</sub>COOH)及び硝酸(HNO<sub>3</sub>)を1:8:3の割合で混合したエッチング液を用いるものとする。等方性エッチングでは第1図(f)に示すようにシリコンサブストレート11の残部のみがエッチングされ、その上部に形成されるP型エピタキシャル層13の表面でエッチングが自動的に停止する。等方性エッチングによればC部の拡大図を第2図に示すようにエッチングされたサブストレート11とP型エピタキシャル層13の端部を湾曲させることができる。こうすればダイヤフラムの厚さはサブストレート11の上部に形成したP型エピタキシャル層13の厚さ $t_3$ 及びN型エピタキシャル層15の厚さ $t_4$ によって決定されるため、そのエピタキシャル成長の厚さを精密に制御することによってダイヤフラムの厚さを正しく制御することができる。

第3図は本実施例による集積化半導体圧力セン

サの構成を示す回路図である。本図に示すようにダイヤフラムの中央部の拡散抵抗R1, R3、ダイヤフラムの周辺部の拡散抵抗R2, R4によって形成されたブリッジ回路とダイヤフラムの周辺の掃還抵抗、入力抵抗等を有する演算増幅器17によりブリッジ回路の出力電圧を増幅する半導体圧力センサが構成される。

こうして構成された半導体圧力センサでは感度に大きな影響を与えるダイヤフラムの厚さを高精度で制御できるため、第4図D1, D2に示すように感度のばらつきの少ない圧力センサとすることができる。

尚本実施例はサブストレートにP<sup>+</sup>型、その上のエピタキシャル層をP型エピタキシャル層及びN型エピタキシャル層を成長させているが、この導電タイプを逆転させN<sup>+</sup>型サブストレート上にN型及びP型のエピタキシャル層を成長させるように構成することも可能である。

#### 4. 図面の簡単な説明

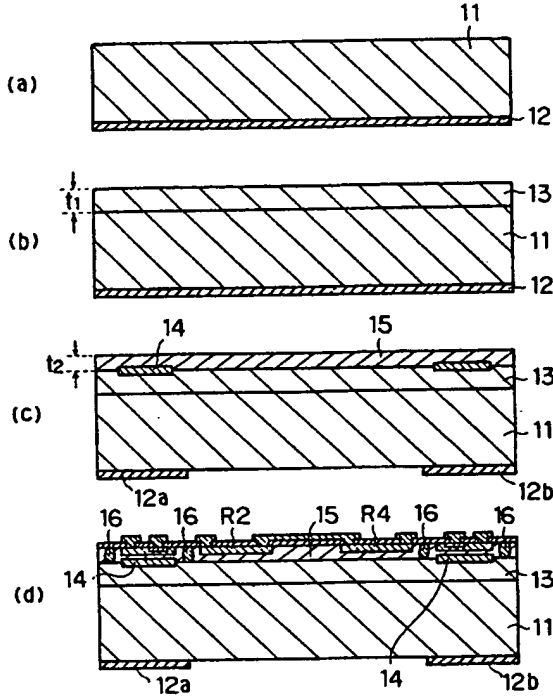
第1図は本発明の一実施例による集積化半導体

圧力センサの製造工程を示す図、第2図はその半導体圧力センサの第1図(f)に示す半導体圧力センサの一部分の拡大図、第3図は本実施例による集積化半導体圧力センサの回路構成の一例を示す回路図、第4図は印加圧力に対する出力電圧の変化を示す図、第5図及び第6図は従来の半導体圧力センサの一例を示す断面図である。

- 11-----サブストレート(単結晶シリコン基板)  
 12-----酸化膜      13-----P型エピタキシャル層(第1の半導体層)      14-----N型埋込み層  
 15-----N型エピタキシャル層(第2の半導体層)  
 16-----P<sup>+</sup>型分離拡散層      R1~R4-----拡散抵抗      17-----演算増幅器

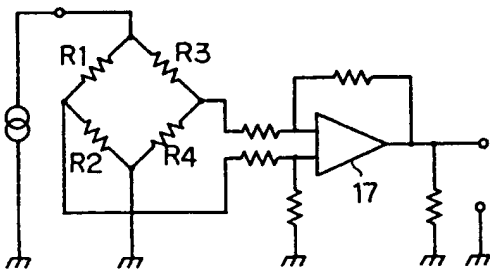
特許出願人      立石電機株式会社  
 代理人      弁理士      岡本宜喜(他1名)

第 1 図 (1)

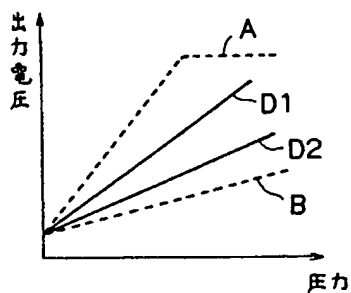


- 11 ----- サブストレート (単結晶シリコン基板)  
 13 ----- P型エピタキシャル層 (第1の半導体層)  
 15 ----- N型エピタキシャル層 (第2の半導体層)

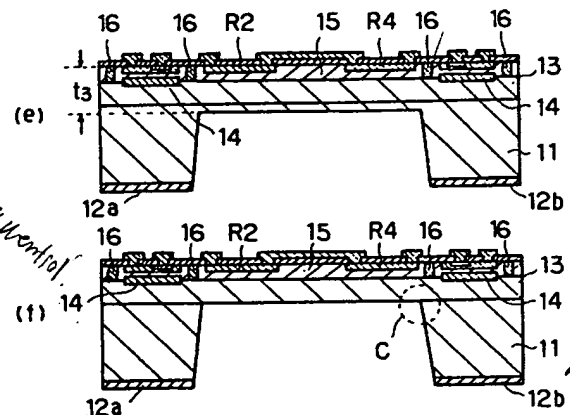
第 3 図



第 4 図

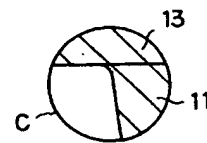


第 1 図 (2)

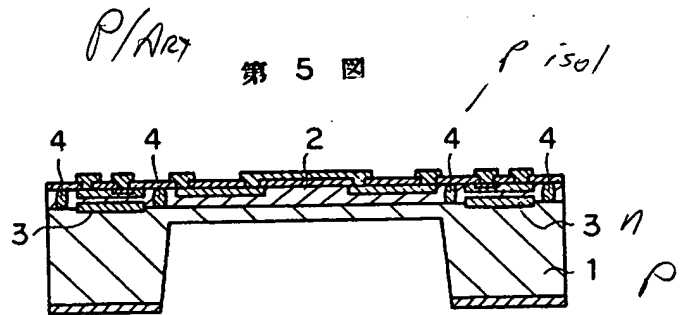


- 14 ----- N型埋込み層  
 16 ----- P型分離拡散層  
 R2, R4 ----- 拡散抵抗

第 2 図



第 5 図



第 6 図

